

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 08017676  
PUBLICATION DATE : 19-01-96

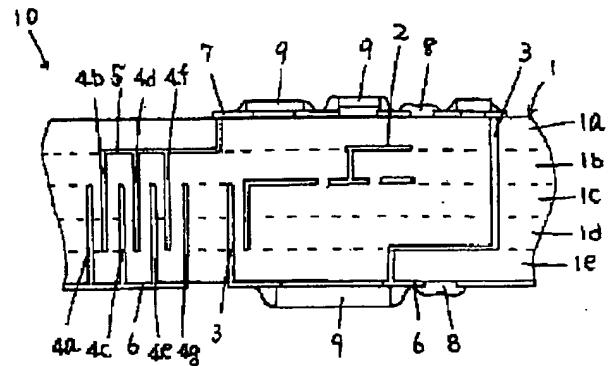
APPLICATION DATE : 29-06-94  
APPLICATION NUMBER : 06148281

APPLICANT : KYOCERA CORP;

INVENTOR : YASUI MASAKAZU;

INT.CL. : H01G 4/30 H01G 4/12

TITLE : LAMINATED CAPACITOR SUBSTRATE



ABSTRACT : PURPOSE: To provide a laminated capacitor substrate, wherein the plane occupation area of a capacitor part can be made small and in the case where an internal wiring pattern is formed, the restraint of the number of lamination of layers is relaxed.

CONSTITUTION: In a laminated capacitor substrate 10 formed by a method, wherein an internal wiring pattern 2 for constituting a prescribed circuit and a plurality of capacitor electrode layers 4a to 4g opposing to each other are arranged in a laminated material 1 formed by laminating a plurality of ceramic layers 1a to 1e, the layers 4a to 4g are arranged in such a way that the opposed directions of the layers 4a to 4g respectively intersect orthogonally the thickness directions of the layers 1a to 1e.

COPYRIGHT: (C)1996,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-17676

(43)公開日 平成8年(1996)1月19日

(51)Int.Cl.<sup>6</sup>  
H 01 G 4/30  
4/12

識別記号 301 C 7924-5E  
D 7924-5E  
352

F I

技術表示箇所

審査請求 未請求 請求項の数 1 ○L (全 10 頁)

(21)出願番号 特願平6-148281

(71)出願人 000006633

京セラ株式会社

京都府京都市山科区東野北井ノ上町 5 番地  
の22

(22)出願日 平成6年(1994)6月29日

(72)発明者 牧野 洋一

鹿児島県国分市山下町 1 番 1 号 京セラ株  
式会社鹿児島県分工場内

(72)発明者 井本 晃

鹿児島県国分市山下町 1 番 1 号 京セラ株  
式会社鹿児島県分工場内

(72)発明者 安井 正和

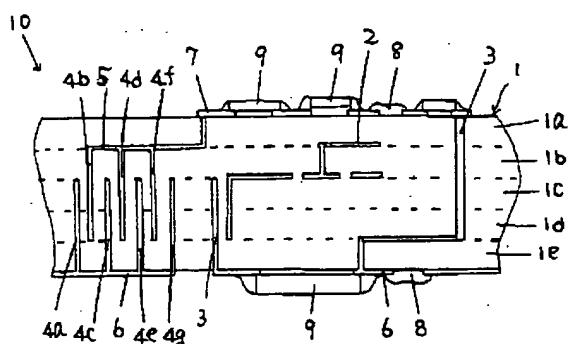
鹿児島県国分市山下町 1 番 1 号 京セラ株  
式会社鹿児島県分工場内

(54)【発明の名称】 積層コンデンサ基板

(57)【要約】

【目的】 容量部分の平面占有面積を小さくすることができ、内部配線パターンを形成するにあたり、積層数の制約が緩和される積層コンデンサ基板を提供する

【構成】 本発明は、複数のセラミック層 1a～1e を積層した積層体 1 内に、所定回路を構成する内部配線パターン 2 及び互いに対向しあう複数の容量電極層 4a～4g を配置して成る積層コンデンサ基板 10 であって、前記容量電極層 4a～4g の対向方向が、セラミック層 1a～1e の厚み方向に対して直交している。



## 【特許請求の範囲】

【請求項1】複数のセラミック層を積層した積層体内に、所定回路を構成する内部配線パターン及び互いに対向しあう複数の容量電極層を配置して成る積層コンデンサ基板であって、

前記容量電極層の対向方向が、セラミック層の厚み方向に対して直交することを特徴とする積層コンデンサ基板。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、積層体内に、所定回路を構成する内部配線パターン及び互いに対向しあう複数の容量電極層を配置して成る積層コンデンサ基板に関して、特にコンデンサ領域の平面的占有面積を小さくすることができる積層コンデンサ基板に関するものである。

## 【0002】

【従来の技術】従来、典型的な積層コンデンサ基板は、複数のセラミック層が積層されて成る積層体に、各セラミック層間に互いに対向する容量電極層を形成した容量部を内蔵していた。尚、各セラミック層を挟んで互いに対向しあう容量電極層の内、一方側の容量電極層を電気的に接続して、また、他方側の容量電極層を電気的に接続して、同一積層体に形成された内部配線パターンからなる所定回路に接続したり、積層体の主面に導出していった。

【0003】図6は、従来の積層コンデンサ基板の断面図である。積層体61は、例えば7層のセラミック層61a～61gからなり、その7つの層間には、容量電極層62b～62f、所定回路を構成する内部配線パターン63が形成されている。

【0004】また、セラミック層61a～61gには、その厚み方向を貫通するピアホール導体64a、64b、65が形成されている。

【0005】ここで、容量電極層62aは、セラミック層61bを挟んで容量電極層62bと対向しており、容量電極層62bは、セラミック層61cを挟んで容量電極層62cと対向しており、容量電極層62cは、セラミック層61dを挟んで容量電極層62dと対向しており、容量電極層62dは、セラミック層61eを挟んで容量電極層62eと対向しており、容量電極層62eは、セラミック層61fを挟んで容量電極層62fと対向しており、容量電極層62a、62c、62eは、ピアホール導体64aによって接続されており、また、容量電極層62b、62d、62fは、ピアホール導体64bによって接続されている。これにより、容量電極層62aと容量電極層62bとの対向部分、容量電極層62bと容量電極層62cとの対向部分、容量電極層62cと容量電極層62dとの対向部分、容量電極層62dと容量電極層62eとの対向部分、容量電極層62eと容量電極層62fとの対向部分によって発生する各容量

成分は互いに並列的に合成されることになる。尚、図では、ピアホール導体64aは、内部配線パターン63に接続され、ピアホール導体64bは積層体61の裏面側に導出されている。

【0006】また、積層体61の両主面には、電子部品の搭載用パッド、外部端子を含む表面配線パターン66、67が形成され、例えば表面配線パターン67の所定電子部品の搭載用パッドには電子部品68が搭載されている。尚、この主面には必要に応じて、厚膜抵抗体膜、保護膜などが形成される。

## 【0007】

【発明が解決しようとする課題】従来の積層コンデンサ基板の容量成分は、1つのセラミック層、例えば61bを挟むように対向配置された容量電極層62a、62bの対向面積、セラミック層61bの層厚み、セラミック層61bの誘電率などによって、その特性が決定される。

【0008】近時、電子機器などの小型化によって、積層コンデンサ基板の小型化が要求されているが、上述の構造においては、小型化（容量電極の対向面積を小さく）するとともに容量特性の維持のため、一般に、高誘電率系のセラミック材料を用いたり、セラミック層の層厚みを薄型化したりしていた。高誘電率系のセラミック材料を用いると、セラミック層を形成するためのコストが上昇してしまい、また、薄型化したセラミック層を用いると機械的な強度の低下などが発生してしまい、その限界があった。

【0009】即ち、上述の構造において、積層コンデンサ基板を平面視した時の容量部分の面積（以下、平面占有面積という）の小型化には限界があり、市場の要求に充分に対応できないものであった。

【0010】さらに、この積層コンデンサ基板のセラミック層間に、所定回路網を形成する内部配線パターン63を形成する場合、容量特性によるセラミック層の積層数の制約によって、内部配線を形成しないセラミック層間が発生したり、また、内部配線パターンの設計の自由度が抑制され、その結果、小形、高密度化の配線が達成できなくなる。

【0011】本発明は、上述の問題点に鑑みて提出されたものであり、その目的は、容量部分の平面占有面積を小さくすることができ、内部配線パターンを形成するにあたり、積層数の制約が緩和される積層コンデンサ基板を提供するものである。

## 【0012】

【課題を解決するための手段】本発明は、複数のセラミック層を積層した積層体内に、所定回路を構成する内部配線パターン及び互いに対向しあう複数の容量電極層を配置して成る積層コンデンサ基板であって、前記容量電極層の対向方向が、セラミック層の厚み方向に対して直

交する積層コンデンサ基板である。

【0013】

【作用】以上、本発明ではセラミック層を積層してはじめて、所定面積の容量電極層が形成されることになり、複数の容量電極層の対向方向が積層体の厚み方向（積層方向）に対して直交している。

【0014】従って、最も簡単な容量構成、即ち、2枚の容量電極層において、平面占有面積は、容量電極層の層厚みの2倍とその間の対向間隔との合計に、容量電極層の幅を積算した値となり、従来に比較して大幅に小さくすることができる。

【0015】また、容量特性の向上のために、容量電極間の間隔を狭くすればよく、従来のように薄型化したセラミック層を用いる必要がなく、基板の強度の低下させることがない。

【0016】このように積層体の厚み方向（積層方向）に対して直交する方向に容量電極層の対向方向を配置するには、1層以上のセラミック層があればよく、例えば、セラミック層間に内部配線を形成する場合であっても、容量を形成するための積層数が所定内部配線を形成するに必要な積層数の制限を与えることがなく、内部配線での設計の自由度が向上する。

【0017】

【実施例】以下、本発明を図面に基づいて詳説する。

【0018】図1は、本発明の積層コンデンサ基板の一例を示す側面図であり、図2は容量部分の斜視図である。

【0019】図において、10は積層コンデンサ基板であり、積層コンデンサ基板10は、積層体1、その主面に形成した表面配線パターン6、7が形成され、必要に応じて抵抗導体膜8が形成され、電子部品9が搭載されている。

【0020】積層体1は、例えば5層のセラミック層1a～1eが積層して構成されており、各セラミック層1a～1eの4つの層間に所定回路を構成する内部配線パターン2が形成されおり、この内部配線パターン2は、各セラミック層1a～1eに形成したピアホール導体3によって接続されている。尚、セラミック層1a、1eに形成したピアホール導体3は、内部配線パターン2と表面配線パターン6、7とを接続するためのピアホール導体となる。

【0021】また、セラミック層1b～1eには、その積層方向に延びる平板状の容量電極層4a～4gが形成されている。具体的には、容量電極層4a、4c、4e、4gは、セラミック層1c～1eの3層に渡り形成されており、この3層分の高さを有する平板状の容量電極層であり、容量電極層4b、4d、4fは、セラミック層1b～1dの3層に渡り形成されており、この3層分の高さを有する平板状の容量電極層である。

【0022】また、容量電極層4a、4c、4e、4g

の一端部は、積層体1の裏面側の主面に露出しており、表面配線パターン6の一部によって互いに接続されおり、また、容量電極層4b、4d、4fの一端は、セラミック層1aと1bとの層間に形成した接続導体膜5によって互いに接続されている。尚、この接続導体膜5は積層体の内部に延出し、例えば内部配線パターン2や図のように表面配線パターン7などに接続する。

【0023】セラミック層1a～1eは、アルミナセラミック、ガラスセラミック、チタン酸バリウムなどの誘電体材料などから構成され、セラミック層の層厚みは40～120μmであり、内部配線パターン2、ピアホール導体3、容量電極層4a～4gは、金系、銀系、銅系導体材料から成る。

【0024】以上のように、本発明において、容量成分を発生する互いに対向する容量電極層4a～4gが、積層体1の積層方向に平面的に広がり、それらの対向方向が積層体の積層方向と直交するようになっている。

【0025】即ち、容量電極層4aと容量電極層4bとの対向部分、容量電極層4bと容量電極層4cとの対向部分、容量電極層4cと容量電極層4dとの対向部分、容量電極層4dと容量電極層4eとの対向部分、容量電極層4eと容量電極層4fとの対向部分によって発生する各容量成分は互いに並列的に合成され、表面配線パターン6の一部と、接続導体膜5より導出されることになる。

【0026】従って、容量電極層4a～4gから成る容量部は、積層体1のセラミック層1a～1eの積層数などに全く影響されることなく構成することができる。即ち図に示すように、7つの対向電極の容量電極層4a～4gを5層のセラミック層1a～1eが積層する積層体1内に形成することができる。これにより、従来のように、所定回路を達成するための内部配線パターンを、容量電極層の積層数によって規制される所定積層数を有する積層体に形成しなければならないという内部配線パターンの設計の制約を、大幅に緩和するものであり、内部配線パターン2の高密度の配線パターンが可能である。

【0027】また、容量電極層4a～4gから成る容量部の平面占有面積は、容量電極層4a～4gの厚み及びその容量電極層4a～4g間の間隔の和と容量電極層4a～4gの幅との積に相当し、従来、容量電極層自身の平面面積に相当していたのに対して、大幅な削減となり、積層コンデンサ基板の小型化に大きく寄与できる。

【0028】さらに、高容量化のために、従来のようにセラミック層の厚みを薄膜化する必要がなく、単に、容量電極層4a～4gの間隔を制御すればよく、セラミック層の厚みとは関係がないため、積層体1自身の基板の強度の低下などが一切発生しない。

【0029】さらに、各容量電極層4a～4g間の接続が、比較的幅広い接続導体膜5や表面配線パターン6の一部で行われるため、従来のようにピアホール導体6

4 a、64 bによって接続する場合に比較して、導体の損失が少なく、安定した特性を導出することができる。

【0030】次に、本発明の積層コンデンサ基板の積層体の製造方法を説明する。

【0031】図3の工程図、図4(a)～図4(j)の主要工程における断面図に基づいて説明する。

【0032】積層セラミック回路基板1の製造方法は、大きく分けて積層前工程(図3の(a)の工程)、積層工程(図3の(b)の工程～(g)の工程)、剥離工程(図3の(h)の工程)、焼成工程(図3の(i)の工程)、表面処理工程(図3の(j)の工程)とからなる。

【0033】積層前工程は、支持基板15、セラミック層1a～1eとなるセラミック塗布膜のスリップ材、内部配線パターン2、ピアホール導体3、接続導体膜5、表面配線パターンとなる導体膜や導体の導電性ペーストを準備する工程である。

【0034】[支持基板]図4(a)に示すように、支持基板15は、セラミック、ガラス、耐熱性樹脂などの基板からなり、支持基板15の積層体を積層する側の表面には、基板平滑層16が形成される。

【0035】基板平滑層16は、光硬化可能なモノマー、ペインダー、溶剤を均質混練したスリップ材を塗布・乾燥して塗布膜を形成し、その後、塗布膜の全面に露光処理して硬化することによって形成する。基板平滑層16の厚みは、少なくとも支持基板15の凹凸を吸収し得る程度の厚み、例えば20μm以上である。

【0036】ここで、光硬化可能なモノマーは、比較的低温で且つ短時間の焼成工程で焼失できるように熱分解性に優れたものであり、また、スリップ材の塗布・乾燥後の露光によって、光重合される必要があり、遊離ラジカルの形成、連鎖成長付加重合が可能で、2級もしくは3級炭素を有したモノマーが好ましく、例えば少なくとも1つの重合可能なエチレン系基を有するブチルアクリレート等のアルキルアクリレートおよびそれらに対応するアルキルメタクリレートが有効である。また、テトラエチレングリコールジアクリレート等のポリエチレングリコールジアクリレートおよびそれらに対応するメタクリレートなどが挙げられる。

【0037】ペインダーは、光硬化可能なモノマー同様に熱分解性の良好なものでなくてはならない。同時にスリップの粘性を決めるものである為、アクリル酸もしくはメタクリル酸系重合体のようなカルボキシル基、アルコール性水酸基を備えたエチレン性不飽和化合物が好ましい。

【0038】尚、光硬化可能なモノマーとペインダーとの比率は、1～3:5程度に添加される。

【0039】溶剤として、有機系溶剤、水系溶剤を用いることができる。尚、水系溶剤の場合、光硬化可能なモノマー及びペインダーは、水溶性である必要があり、モ

ノマー及びペインダーには、親水性の官能基、例えばカルボキシル基が付加されている。その付加量は酸価で表せば2～300あり、好ましくは5～100である。

【0040】上述のスリップ材は、光硬化可能なモノマー及びペインダーが上述したように積層体の焼成の過程で完全に熱分解しなくてはならないが、特に、600℃以下、好ましくは500℃以下で分解する材料を選択する。

【0041】また、スリップ材には、増感剤、光開始系材料等を必要に応じて添加しても構わない。例えば、光開始系材料としては、ベンゾフェノン類、アシロインエンステル類化合物などが挙げられる。

【0042】スリップ材の塗布方法としては、例えば、ドクターブレード法(ナイフコート法)、ロールコート法、印刷法などが挙げられる。特に基板平滑層16の表面が平坦化することが容易なドクターブレード法などが好適である。尚、塗布方法に応じて溶剤の添加量が調整され、所定粘度に調整される。

【0043】乾燥方法としては、バッチ式乾燥炉、インライン式乾燥炉を用いて行われ、乾燥条件は、120℃以下が望ましい。また、急激な乾燥は、表面にクラックを発生される可能性があるため、急加熱を避けることが重要となる。

【0044】露光処理としては、塗布膜中に含まれる光硬化可能なモノマーが光重合されるネガ型であるため、塗膜全面に低圧、高圧、超高圧の水銀灯系の露光光を照射する。尚、露光条件は、10～20mW/cm<sup>2</sup>の露光光を約5～30秒程度照射して行う。これにより、塗布膜は、光硬化可能なモノマーの光重合反応を起し、光硬化されることになる。

【0045】[セラミックスリップ材]セラミックスリップ材は、セラミック粉末、必要に応じてガラスフリット、光硬化可能なモノマー、ペインダー、溶剤を均質混練して形成する。

【0046】セラミック粉末は、クリストバライト、石英、コランダム(αアルミナ)、ムライト、コージライトなどの絶縁セラミック材料、BaTiO<sub>3</sub>、Pb<sub>4</sub>Fe<sub>2</sub>Nb<sub>2</sub>O<sub>12</sub>、TiO<sub>2</sub>などの誘電体セラミック材料などが挙げられ、その平均粒径1.0～6.0μm、好ましくは1.5～4.0μmに粉碎したものを用いる。尚、セラミック材料は2種以上混合して用いられてもよい。特に、コランダムを用いた場合、コスト的に有利となる。

【0047】ガラスフリットは、焼成処理することによってコージェライト、ムライト、アノーサイト、セルジアン、スピネル、ガーナイト、ウイレマイド、ドロマイド、ペタライトやその置換誘導体の結晶やスピネル構造の結晶相を析出するものであればよく、例えば、B<sub>2</sub>O<sub>3</sub>、SiO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、ZnO、アルカリ土類酸化物を含むガラスフリットが挙げられる。この様なガラス

フリットは、ガラス化範囲が広くまた屈伏点が600～800℃付近にあるため、850～1050℃程度の低温焼成に適し、内部配線パターン2となる導体膜との焼結挙動が近似しているためである。尚、このガラスフリットの平均粒径は、1.0～6.0μm、好ましくは1.5～3.5μmである。

【0048】上述のセラミック材料とガラス材料との構成比率は、850～1050℃の比較的低温で焼成する場合には、セラミック材料が10～60wt%、好ましくは30～50wt%であり、ガラス材料が90～40wt%、好ましくは70～50wt%である。

【0049】尚、セラミック材料として、誘電体セラミック材料や磁性体セラミック材料とともに用いる場合には、セラミック材料の固有の特性を低下させることがあるため、ガラスフリットは必要に応じて添加する。

【0050】光硬化可能なモノマーは、基板平滑層16に用いた材料ものが使用できる。これは、露光条件を略同一とするためである。光硬化可能なモノマーは、露光処理後の現像処理によって露光部分以外の部分が容易に除去できるように所定量添加される。例えば、固形成分（セラミック材料及びガラス材料）に対して5～15wt%以下である。パインダーは、固形分との濡れ性も重視する必要があり、基板平滑層16に用いた材料ものが使用できる。添加量としては固形分に対して25wt%以下が好ましい。

【0051】溶剤として、有機系溶剤、水系溶剤を用いることができる。尚、水系溶剤の場合、光硬化可能なモノマー及びパインダーは、水溶性である必要があり、モノマー及びパインダーには、親水性の官能基、例えばカルボキシル基が付加されている。その付加量は酸価で表せば2～300あり、好ましくは5～100である。

【0052】付加量が少ない場合は水への溶解性、固定成分の粉末の分散性が悪くなり、多い場合は熱分解性が悪くなるため、付加量は、水への溶解性、分散性、熱分解性を考慮して、上述の範囲で適宜付加される。

【0053】また、スリップ材には、増感剤、光開始系材料等を必要に応じて添加しても構わない。例えば、光開始系材料としては、ベンゾフェノン類、アシロインエステル類化合物などが挙げられる。

【0054】【導電性ペースト】内部配線パターン2、ピアホール導体3、容量電極層4a～4g及び接続導体膜5を形成するための導電性ペーストは、Ag系（Ag単体、Ag-PdなどのAg合金）、Cu系（Cu単体、Cu合金）など導体材料粉末、例えば銀系粉末と、低融点ガラス成分と、光硬化可能なモノマー、パインダーと溶剤とを均質混練したものが用いられる。

【0055】【積層工程】このようにして、支持基板15上に基板平滑層16を形成し、セラミックスリップ材、導電性ペーストを準備した後、実質的な積層工程（図3の（b）の工程～（d）工程）を行う。

【0056】尚、支持基板15は、最終的に複数の積層体が抽出できるよう複数の積層体の領域を同時に形成するが、ここでは、1つの積層体の領域について説明する。

【0057】まず、積層工程として、図3の（b）の工程として、図4（b）に示すように、支持基板15の基板平滑層16上に、セラミック層1eとなるセラミック塗布膜10eを形成する。このセラミック塗布膜10eは、基板平滑層16上に各領域を越えて略全面に形成する。具体的には、上述のセラミックスリップ材をドクターブレード法などで塗布し、乾燥処理（バッチ式乾燥炉、インライン式乾燥炉で120℃以下）を行う。

【0058】次に、図3の（c）の工程として、図4（c）に示すように、セラミック塗布膜10eに選択的な露光処理・現像処理を行い、容量電極層4a、4c、4e、4gとなる貫通凹部40a、40c、40e、40g、ピアホール導体3となる貫通凹部30を形成する。

【0059】選択的な露光処理・現像処理は、図5（a）～図5（c）に示す処理を施す。

【0060】図5（a）に示すように、処理対象膜51、例えばセラミック塗布膜10e上に、セラミック層1eの厚みを貫通する容量電極層4a、4c、4e、4gとなる部分、ピアホール導体3となる位置に露光光が照射されないような所定パターンを有するフォトターゲット52を近接又は載置する。次に、図5（b）に示すように、このフォトターゲット52を介して、処理対象膜51に、低圧、高圧、超高圧の水銀灯系の10～20mW/cm<sup>2</sup>の露光光Xを約5～30秒程度照射する。

これにより、容量電極層4a、4c、4e、4gとなる部分、ピアホール導体3となる位置は露光処理されず溶化部53となり、それ以外の部分は光硬化可能なモノマーが反応して硬化されることになる。次に、図5（c）に示すように、選択的な露光処理を行った処理対象膜51の特に溶化部53に、有機系のクロロセン、1,1,1-トリクロロエタン、水系のアルカリ現像溶剤を、例えばスプレー現像法やパドル現像法によって噴射したり、接触したりして、溶化部53を現像除去する。これにより処理対象膜51には、所定形状の貫通孔54が形成されることになる。尚、実施例では貫通孔54の底面開口は、処理対象膜51の下面に位置する部材によって隠蔽されているため、貫通凹部という。その後、必要に応じて洗浄及び乾燥を行なう。

【0061】この貫通凹部54は、容量電極層4a、4c、4e、4gやピアホール導体3となるが、微細加工に適したフォトターゲット52、露光処理によって形成されるため、容量電極層4a、4c、4e、4gとなる貫通凹部40a、40c、40e、40gを任意な形状とすることができ、さらに、貫通凹部40a、40c、40e、40g間の間隔を非常に微細な精度で形成で

き、ピアホール導体3となる貫通凹部30の形状・径を任意に設定できる。

【0062】次に、図3の(d)の工程として、図4(d)に示すように、セラミック塗布膜10eに形成した貫通凹部30、貫通凹部40a、40c、40e、40gに導電性ペーストを充填して、ピアホール導体3となる導体31、容量電極層4a、4c、4e、4gとなる導体41a、41c、41e、41gとなる導体を充填するとともに、セラミック塗布膜10e上に、セラミック層1eとセラミック層1dとの層間の内部配線パターン2となる導体膜21を形成する。

【0063】具体的には、上述の導電性ペーストをスクリーン印刷法によって、選択的な印刷を行い、塗布膜10eの各貫通凹部30、40a、40c、40e、40g内に充填するとともに、同時に、塗布膜10a上に内部配線パターン2となる1体膜21を形成する。その後、乾燥処理を行い、さらに、導体31、41a、41c、41e、41g及び導体膜21に上述の露光条件で露光処理して硬化させる。

【0064】尚、貫通凹部30、40a、40c、40e、40gの形状によっては、まず、ディスペンサーなどを用いて導電性ペーストを貫通凹部30内に充填し、その後、内部配線パターン2となる導体膜21を形成しても構わない。

【0065】次に、図3の(b)の工程を繰り返して、セラミック層1eとなる塗布膜10e上に、セラミック層1dとなる塗布膜10dを形成する。

【0066】この時、セラミック塗布膜10dの表面は、塗布膜10dに覆われたピアホール導体3となる導体31、容量電極層4a、4c、4e、4gとなる導体41a、41c、41e、41g及び内部配線パターン2となる導体膜21の形状や積層状況に係わらず、均一な平坦面とすることができます。

【0067】次に、図3の(c)の工程を行い、塗布膜10dに選択的な露光処理・現像処理を行う。これにより、塗布膜10dには、ピアホール導体3となる貫通凹部30、容量電極層4a～4gとなる貫通凹部40a～40gが形成される。

【0068】次に、図3の(d)の工程を行い、塗布膜10dの貫通凹部30、40a～40gに、スクリーン印刷法によって、上述の導電性ペーストを充填して、ピアホール導体3となる導体31、容量電極層4a～4gとなる導体41a～41gを形成するとともに、塗布膜10d上にセラミック層1dとセラミック層1cとの間の内部配線パターン2となる導体膜21を形成する。

【0069】さらに、図3の(b)～(d)の工程を繰り返して、セラミック層1cとなる塗布膜10c及びピアホール導体3となる導体31、容量電極層4a～4gとなる導体41a～41gを形成するとともに、塗布膜10c上にセラミック層1cとセラミック層1bとの間

の内部配線パターン2となる導体膜21を形成する。

【0070】次に、図3の(b)の工程を繰り返して、セラミック層1cとなる塗布膜10c上に、セラミック層1bとなる塗布膜10bを形成する。

【0071】次に、図3の(c)の工程を行い、塗布膜10bに選択的な露光処理・現像処理を行う。これにより、塗布膜10bには、ピアホール導体3となる貫通凹部30、容量電極層4b、4d、4fとなる貫通凹部40b、40d、40fが形成される。

10 【0072】次に、図3の(d)の工程を行い、塗布膜10dの貫通凹部30、40b、40d、40fに、スクリーン印刷法によって、上述の導電性ペーストを充填して、ピアホール導体3となる導体31、容量電極層4b、4d、4fとなる導体41b、41d、41fを形成するとともに、塗布膜10d上にセラミック層1dとセラミック層1cとの間の内部配線パターン2となる導体膜21及び容量電極層4b、4d、4fとなる導体41b、41d、41fの一端を接続するたとの接続導体膜5となる導体膜50を形成する。

20 【0073】次に、図3の(b)の工程を繰り返して、セラミック層1bとなる塗布膜10b上に、セラミック層1aとなる塗布膜10aを形成する。

【0074】次に、図3の(c)の工程を行い、塗布膜10aに選択的な露光処理・現像処理を行う。これにより、塗布膜10aには、ピアホール導体3となる貫通凹部30を形成される。

30 【0075】次に、図3の(d)の工程を行い、塗布膜10aの貫通凹部30に、スクリーン印刷法によって、上述の導電性ペーストを充填して、ピアホール導体3となる導体31を形成する。尚、塗布膜10aは最表面層であり、ピアホール導体3となる導体31の露光処理による光硬化を省略することができる。

【0076】これにより、図4(g)に示すように、支持基板15上に積層体1が形成されることになる。

【0077】尚、積層工程を終了した後に、各積層体1の形状に応じて、分割溝をプレス成型などによって形成する。

40 【0078】〔剥離工程〕次に、図3の(e)の工程として、図4(h)に示すように、支持基板15から基板平滑層16、セラミック塗布膜10e～10a、内部配線パターン2となる導体膜21、ピアホール導体3となる導体31、容量電極層4a～4gとなる導体41a～41g、接続導体膜5となる導体膜50から成る積層体1を剥離する。

【0079】上述のように剥離界面は、支持基板15と基板平滑層16との界面となり、積層体側に基板平滑層16が存在することになる。従って、剥離を機械的に、例えば支持基板15を湾曲させて、剥離界面にカッターノズルを平面状に摺動したりしても、積層体そのものに悪影響(剥離による亀裂など)がなく安定して剥離するこ

とができる。

【0080】尚、その他に、支持基板15と基板平滑層16の界面部分に、120℃(乾燥処理の温度)以上で発泡性反応を起こす樹脂層を設けておき、加熱処理したり、また、有機溶剤によって溶解するシートを介在させて、有機溶剤に浸漬したりしても構わない。尚、有機溶剤によって溶解するシートを用いる場合には、セラミックスリップ材、導電性ペーストにバイダー、光硬化可能なモノマーに水系を用い、溶剤に純水などを用いることが重要となる。

【0081】〔焼成工程〕次に、図3の(f)の工程として、図4(i)に示すように、平滑層16を含む積層体1を焼成処理する。焼成処理は、脱バインダ過程と焼結過程からなる。

【0082】脱バインダ過程は、セラミック塗布膜10a～10e、内部配線パターン2となる導体膜21、ピアホール導体3となる導体31、容量電極層4a～4gとなる導体41a～41g、接続導体膜5となる導体膜50に含まれる有機成分、及び基板平滑層16を焼失するためのものであり、例えば600℃以下の温度領域で行われる。

【0083】また、焼結過程は、塗布膜10a～10eのガラス成分を結晶化させて、セラミック粉末の粒界に均一に分散させ、積層体1に一定強度を与える、同時に、内部配線パターン2となる導体膜21、ピアホール導体3となる導体31、容量電極層4a～4gとなる導体41a～41g、接続導体膜5となる導体膜50の導電材料、例えば、銀系粉末を粒成長させて、低抵抗化するとともに、セラミック層1a～1eと一体化させるものである。これは、ピーク温度850～1050℃に達するまでに行われる。

【0084】焼成雰囲気は、導電性ペーストの材料などによって異なり、上述のようにAg系導体の場合は、大気(酸性)雰囲気又は中性雰囲気で行われ、Cu系導体の場合は、還元性雰囲気又は中性雰囲気で行われる。

【0085】これにより、セラミック塗布膜10a～10eはセラミック層1a～1eとなり、その内部には、内部配線パターン2、ピアホール導体3、容量電極層4a～4g、接続導体膜5が配置された積層体となる。

【0086】〔表面処理工程〕次に、図3の(g)の工程(図4(j)に相当する)として、焼成処理された大型積層体基板の両主面に表面処理を行う。

【0087】例えば、大型積層体基板の上面側主面に、セラミック層1aに形成したピアホール導体3と接続するように、例えば銅系導電性ペーストの印刷・乾燥、焼きつけにより、表面配線パターン7を形成する。また、下面側主面には、セラミック層1eに形成したピアホール導体3と接続するように、また、容量電極層4a、4c、4e、4gの一端と接続するように、例えば銅系導電性ペーストの印刷・乾燥、焼きつけにより、表面配線

10

パターン6を形成する。ここで、銅系の表面配線パターン6、7と銀系導体のピアホール導体3とが接合することになる。このため、銀と銅との共晶温度を考慮して、低温(例えば780℃以下)焼成可能にし、しかも、銅の酸化を防止するために還元性雰囲気や中性雰囲気中で行うことが重要である。

【0088】その後、必要に応じて、両主面に、厚膜抵抗膜6や保護膜などを焼きつけを行い、各種電子部品9を搭載する。

【0089】その後、焼成前に形成した分割溝にそって、大型積層体基板を所定形状の積層体に分割する。これによって、図1に示す構造の積層セラミック回路基板が完成する。

【0090】以上のように、セラミック層1a～1eの積層方向と直交する方向で対向しあう容量電極層4a～4gは、選択的な露光処理・現像処理、導電性ペーストの充填によって形成されたセラミック塗布膜10e～10c中の導体41a～41gが積層方向に接続し、焼結により一体化して形成されている。

【0091】即ち、容量電極層4a～4gは、実質的にフォトターゲットを用いた選択的な露光処理の精度によって、容量電極層4a～4gの厚み、対向間隔が決定され、非常に微細な加工が可能となり、セラミック層の厚みに影響されることなく、対向間隔を狭くして、高容量の容量成分を達成することができる。

【0092】従って、セラミック層の厚みや積層数などに制約されることなく、所定容量特性の容量成分を簡単に達成することができ、しかも、内部配線パターン2の設計が制約を受けることがなく、高密度の内部配線パターン2が可能となる。

【0093】また、容量部分の平面占有面積を考えて、容量電極層4a～4gの厚み、対向間隔の合計に、容量電極層4a～4gの幅を積算した値にあり、従来のように、容量電極層の一枚の面積に相当していたのに対して、非常に小型化することができる。

【0094】また、セラミック層1a～1eとなるセラミック塗布膜10a～10eが、スリップ材の全面塗布によって形成されるため、その塗布膜10a～10eによって被覆された内部配線パターン2の構成、ピアホール導体3の構成、容量電極層4a～4gなどに影響されず、塗布面を常に平坦となることができる。これにより、その塗布面上の各種処理、例えば内部配線パターン2となる導体膜21の形成などが非常に簡単に形成できるとともに、積層数の増加による積層歪みなどが一切発生しない。

【0095】さらに、ピアホール導体3となる導体31は、セラミック塗布膜10a～10eの選択的な露光処理・現像処理によって形成された貫通凹部30に充填することによって形成されるため、回路に流れる電流に応じて、ピアホール導体の形状・径などを任意とすること

50

ができる。

【0096】さらに、ピアホール導体3となる導体3 1、容量電極層4 a～4 gとなる導体4 1 a～4 1 g、内部配線パターン2となる導体膜2 1が露光処理されることになるため、この導体膜2 1など上にセラミック塗布膜1 0 a～1 0 eを形成し、塗布膜1 0 a～1 0 eを選択的な露光処理・現像処理しても、導体膜2 1などが現像除去されることが一切なく、信頼性の高い内部配線パターン2が達成される。

【0097】また、積層体1内の内部配線パターン2、ピアホール導体3、容量電極層4などの位置精度が、露光処理時のフォトマスクの精度によって決定されるため、内部配線パターン2間のピアホール導体3との位置合わせの精度が向上し、容量電極層4 a～4 gとなる導体4 1 a～4 1 gとの積層結合の精度が向上し、全体として積層位置ずれがなく、接続信頼性が高く、所定容量特性を安定的に導出させることができる積層コンデンサ基板となる。

【0098】尚、上述の実施例の実施例において、容量電極層4 a、4 c、4 e、4 gの一端を接続するための導体膜が、表面配線パターン6の一部として用いられている。これは、表面配線パターン6の一部を順次切断することにより、容量電極層4 g、4 e、4 c・・・を順次浮き電極層にして、容量特性を変化させることができる。しかし、この容量特性の変化を行わない場合には、他方側の容量電極層4 b、4 d、4 eと同様に、積層体1内部に接続用導体膜を形成しても構わない。

【0099】即ち、積層体1を6層のセラミック層1 a～1 fとして、接続用導体膜を、セラミック層1 aと1 bとの間と、セラミック層1 eと1 fとの間とに形成することも出来る。

【0100】また、表面配線パターン6、7を焼成した積層体1の表面処理で、別焼成によって形成したが、積層工程の始めに表面配線パターン6となる導体膜を形成し、積層工程の最後に表面配線パターン7となる導体膜を形成した後、積層体1の剥離を行い、積層体1の焼成と同時に表面配線パターン6、7を一体的に焼成処理しても構わない。

【0101】また、積層体1のセラミック層の積層数が5層であり、容量を発生させるための容量電極層が7層からなっているが、積層体1のセラミック層の積層数は内部配線パターンの高密度化を考慮して任意に変化させることができ、また、容量電極層も所望の容量特性に応じて任意に変化させることができる。

【0102】また、内部配線パターン2となる導体膜2 1、ピアホール導体3となる導体3 1、容量電極層4 a～4 gとなる導体4 1 a～4 1 gや接続用導体5となる導体膜5 0は、導電性ペーストの選択的なスクリーン印刷によって、所定形状となるが、図5 (a)～(c)と同様に、各種貫通凹部を形成したセラミック塗布膜の全

面に、導電性ペーストをドクターブレード法で全面導電膜を形成し、その後、内部配線パターン2となる導体膜2 1、ピアホール導体3となる導体3 1、容量電極層4 a～4 gとなる導体4 1 a～4 1 gや接続導体膜5 0となる導体膜5 0の形状に応じて選択的な露光処理を行い、さらに現像処理をおこなって形成しても構わない。

#### 【0103】

【発明の効果】以上のように、本発明によれば、容量電極層が積層体の積層方法に平面的に延び、その容量電極層の対向方向が積層体の積層方向と直交するように配置している。従って、容量部分の平面占有面積が、容量電極層の厚み、その対向間隔の距離の合計と、容量電極層の幅との積に相当し、従来に比較して大きく低下させることができる。

【0104】また、容量電極の対向数、対向間隔が積層体のセラミック層に積層数やセラミック層の厚みに依存しないため、任意の容量特性の容量部分が簡単に得られる。

【0105】従って、容量特性を向上させるために、セラミック層の厚みを薄くする必要がないため、積層体の強度を維持できる。

【0106】さらに、容量部分の特性によるセラミック層の積層数の制約がないため、実質的に積層数を内部配線パターンの高密度化による所望積層数とすればよいため、内部配線パターンの高密度化が達成できる。

【0107】また、容量電極層の形成が、セラミック層となる塗布膜に選択的な露光処理・現像によって形成された貫通凹部に導体を充填して形成されるため、電極層の厚み、対向間隔が選択的な露光処理の精度で決定され、非常に精度の高い寸法制御が可能である。

#### 【図面の簡単な説明】

【図1】本発明に係る積層コンデンサ基板の断面図である。

【図2】本発明の積層コンデンサ基板の容量部分の斜視図である。

【図3】本発明の積層コンデンサ基板の製造の主要工程の工程流れ図である。

【図4】(a)～(j)は本発明の積層コンデンサ基板の製造の主要工程における断面図である。

【図5】本発明の積層コンデンサ基板の製造に用いる選択的な露光処理・現像処理を説明するための断面図である。

【図6】従来の積層コンデンサ基板の断面図である。

#### 【符号の説明】

1 0 . . . . . 積層コンデンサ回路基板

1 . . . . . 積層体

1 a～1 e . . . . . セラミック層

1 0 a～1 0 e . . . . . 絶縁膜

2 . . . . . 内部配線パターン

2 1 . . . . . 内部配線パターンとなる導体膜

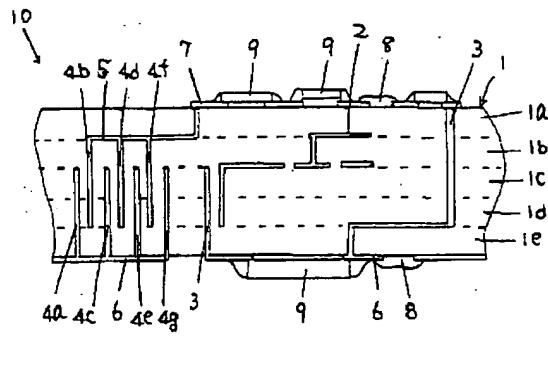
15

3 . . . . . ピアホール導体  
 3 0 . . . . . ピアホール導体となる貫通凹部  
 3 1 . . . . . ピアホール導体となる導体  
 4 a ~ 4 g . . . . 容量電極層  
 4 0 a ~ 4 0 g . . . 容量電極層となる貫通凹部  
 4 1 a ~ 4 1 g . . . 容量電極層となる導体

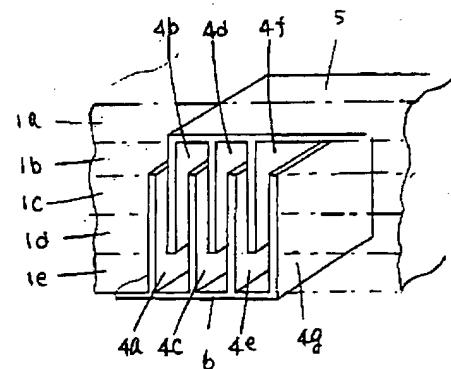
16

5 . . . . . 接続導体膜  
 6, 7 . . . . . 表面配線パターン  
 8 . . . . . 抵抗体膜  
 9 . . . . . 電子部品  
 1 5 . . . . . 支持基板  
 1 6 . . . . . 基板平滑層

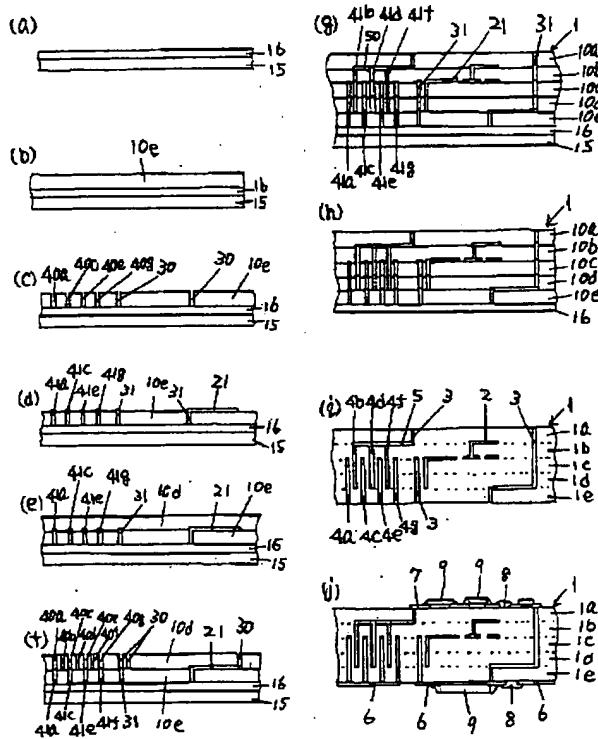
【図1】



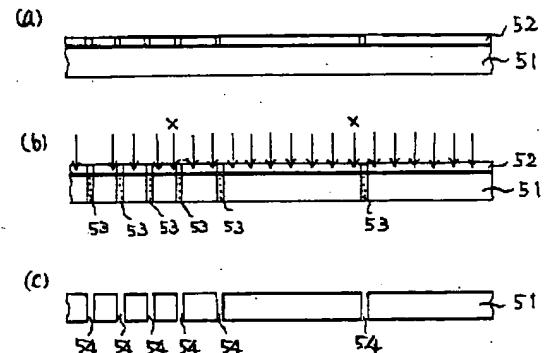
【図2】



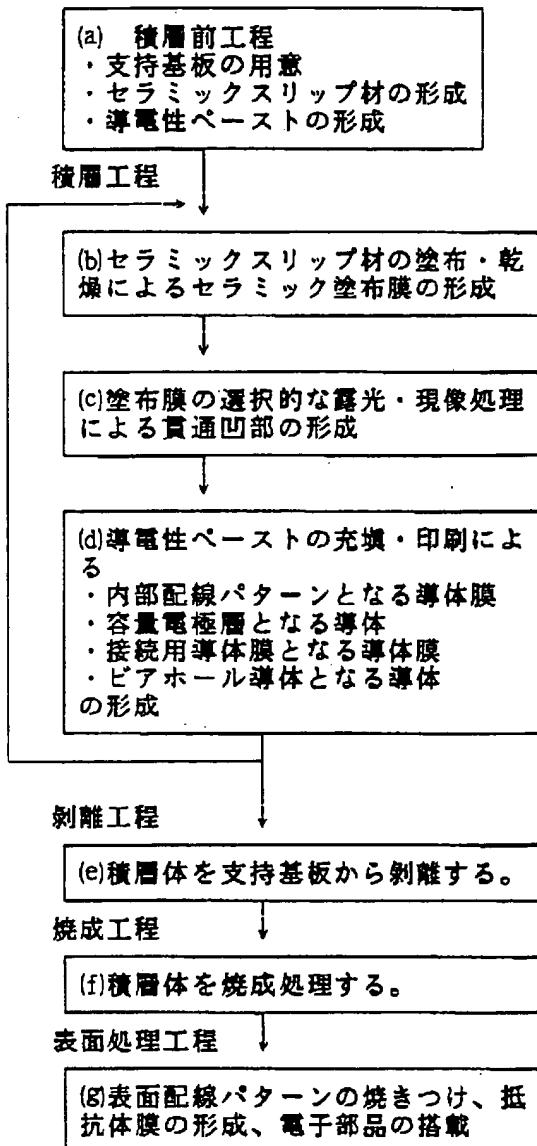
【図4】



【図5】



【図3】



【図6】

